

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10108474
 PUBLICATION DATE : 24-04-98

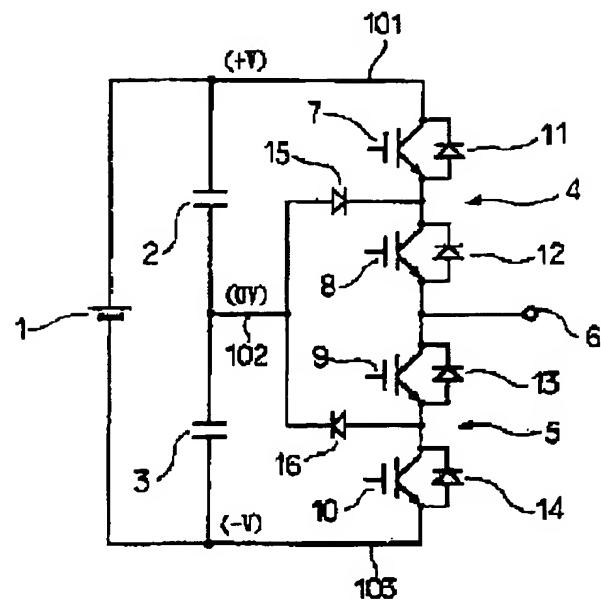
APPLICATION DATE : 27-09-96
 APPLICATION NUMBER : 08255912

APPLICANT : DENSO CORP;

INVENTOR : MIZUKOSHI MASATO;

INT.CL. : H02M 7/48 H02M 7/5387

TITLE : MULTILEVEL SWITCHING TYPE
 POWER CONVERTER



ABSTRACT : PROBLEM TO BE SOLVED: To surely reduce a loss of a multi-level switching-type power converter with a simplified structure.

SOLUTION: Series-connected first to fourth self-extinguishing type switching elements (IGBT 7-10) are connected in parallel to a DC power supply 1, and a pulse potential which changes between positive potential +V and neutral point potential 0V can be output from an output terminal 6 through repetition of the on state of IGBT 7, 8 and on stage of IGBT 8, 9. Moreover, a pulse potential which changes between negative potential -V and neutral point potential 0V can also be output from the output terminal 6, through repetition of the on state of IGBT 9, 10 and on state of IGBT 8, 9. In this case, since the characteristic is set so that the one voltage of IGBT 8, 9 having less number of times of the switching operation is lower than that of IGBT 7, 10, loss of arms 4, 5 can be reduced by reducing normal loss of IGBT 8, 9.

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-108474

(43)公開日 平成10年(1998)4月24日

(51) Int.Cl.⁶

H 02 M 7/48
7/5387

識別記号

F I

H 02 M 7/48
7/5387

Q
Z

審査請求 未請求 請求項の数8 OL (全15頁)

(21)出願番号

特願平8-255912

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(22)出願日 平成8年(1996)9月27日

(72)発明者 水越 正人

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

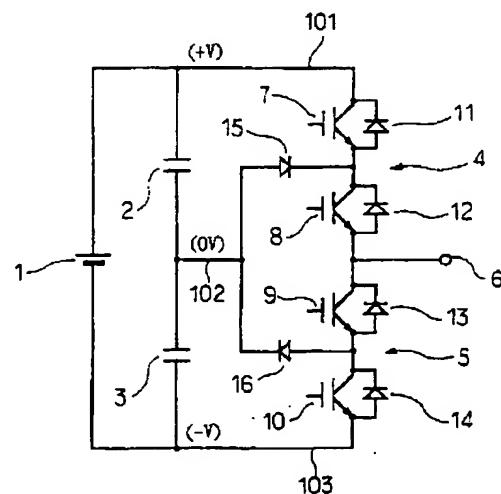
(74)代理人 介理士 佐藤 強

(54)【発明の名称】マルチレベルスイッチング式電力変換器

(57)【要約】

【課題】簡単な構成でマルチレベルスイッチング式電力変換器の損失を確実に低減する。

【解決手段】直流電源1には直列接続された第1～第10のIGBT 7～10が並列接続されており、IGBT 7, 8をオンした状態とIGBT 8, 9をオンした状態とを繰返すことにより出力端子6からは正電位+Vと中性点電位0Vとの間で変化するハルス電位が outputされる。また、IGBT 9, 10をオンした状態とIGBT 8, 9をオンした状態とを繰返すことにより出力端子6からは負電位-Vと中性点電位0Vとの間で変化するハルス電位が outputされる。この場合、スイッチング回数が少ないIGBT 8, 9のオン電圧はIGBT 7, 10に比較して低くなるようにその特性が設定されているので、IGBT 8, 9の定常損失を低減することにより各アーム4, 5の損失を低減することができる。



4:上アーム

5:下アーム

6:出力端子

7, 10:高速型IGBT

8, 9:低損失型IGBT

11～14:フリーホイールダイオード

15, 16:クランプ用ダイオード

101～103:電位ライン

【特許請求の範囲】

【請求項1】 大々複数の電位が印加される複数の電位ラインと、一端が前記複数の電位ラインの内の最も高電位の電位ラインに接続され、複数の自己消弧形のスイッチング素子を直列接続してなり、各スイッチング素子間に素子間接続点を有する上アームと、

一端が前記複数の電位ラインの内の最も低電位の電位ラインに接続され、他端が前記上アームと接続点に接続され、前記上アームの前記スイッチング素子と同一個数の自己消弧形のスイッチング素子を直列接続してなり、各スイッチング素子間に素子間接続点を有する下アームと、

前記上アーム内の前記電位ラインに近い側の前記素子間接続点から順に、前記下アーム内の前記電位ラインに遠い側の前記素子間接続点へ順にアーム間接続点にて接続すると共に、前記アーム間接続点を、前記複数の電位ラインのうちの最も高電位と最も低電位との間の所定電位の電位ラインへ接続するクランプ用ダイオードとを有し、前記上アームと下アームの前記複数のスイッチング素子のうち、所定のスイッチング素子を作動させることで、前記上アームと前記下アームとの接続点へ前記複数の電位の何れかを出力するマルチレベルスイッチング式電力変換器であつて、

各アームを構成する前記複数のスイッチング素子のうち少なくとも1個のスイッチング素子は、各アーム内のスイッチング損失と定常損失が共に小さくなるように、同一アーム内の他のスイッチング素子とは異なる種類または異なる特性に設定されることを特徴とするマルチレベルスイッチング式電力変換器。

【請求項2】 各アームを構成する前記複数のスイッチング素子は、前記上アームと前記下アームとの接続点に近いスイッチング素子になる程、オン電圧が小さく設定されることを特徴とする請求項1記載のマルチレベルスイッチング式電力変換器。

【請求項3】 各アームを構成する前記複数のスイッチング素子は、前記上アームと前記下アームとの接続点に遠いスイッチング素子になる程、スイッチング速度が速く設定されることを特徴とする請求項1または2記載のマルチレベルスイッチング式電力変換器。

【請求項4】 各アームを構成する前記複数のスイッチング素子はIGBTよりなり、それらのIGBTはライフタイム制御によりオン電圧が制御されていることを特徴とする請求項1または2記載のマルチレベルスイッチング式電力変換器。

【請求項5】 各アームを構成する前記複数のスイッチング素子は、IGBTとMOSFETとを有することを特徴とする請求項1乃至1の何れかに記載のマルチレベルスイッチング式電力変換器。

【請求項6】 各アームを構成する前記複数のスイッチ

ング素子は、前記上アームと前記下アームとの接続点に近いスイッチング素子になる程、電流の流れる面積である有効面積が大きく設定されることを特徴とする請求項1乃至1の何れかに記載のマルチレベルスイッチング式電力変換器。

【請求項7】 各アームを構成する前記複数のスイッチング素子はMOSFETからなり、MOSFETの寄生ダイオードからなるフリーホイールダイオードを有することを特徴とする請求項1乃至1の何れかに記載のマルチレベルスイッチング式電力変換器。

【請求項8】 前記複数のスイッチング素子は、発熱量が互いに略等しくなるように設定されていることを特徴とする請求項1乃至1の何れかに記載のマルチレベルスイッチング式電力変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直列接続されたスイッチング素子からなる上アームと下アームとが接続された出力端子から所定電位間に変化するハルス電位を出力するマルチレベルスイッチング式電力変換器に関する。

【0002】

【従来の技術】従来のPWM制御の中性点クランプ式インバータにおいて、インバータを構成する自己消弧形スイッチング素子で生じる損失としては、定常損失（通常時のオン電圧・通電電流）とスイッチング損失（通電電流・主回路端子間電圧）を素子がオフからオンへ移行する期間とオンからオフへ移行する期間との積分値）がある。

【0003】ところで、この種の中性点クランプ式インバータでは、スイッチング素子毎にスイッチング回数、動作期間が異なるので、スイッチング損失もスイッチング素子毎に異なる。

【0004】そこで、図22に示す特開平5-328731号公報のものが提案されている。このものは、直列接続された主直流電源E1、E2の直流電力を交流電力に変換するもので、主直流電源E1、E2間にスイッチング回路S1～S1を直列接続すると共に、スイッチング回路S1とスイッチング回路S2との接続点に出力電圧E3を発生する直流・直流変換器CNV1を図示活性のダイオードD1を介して接続し、スイッチング回路S3とスイッチング回路S1との接続点に出力電圧E1を発生する直流・直流変換器CNV2を図示活性のダイオードD2を介して接続して構成されている。この場合、主直流電源E1、E2の電圧をE1としたとき、直流・直流変換器CNV1、CNV2の出力はE4を中心として制御される。

【0005】さて、出力電圧に応じて負荷に流れる変調電流に比例した変調電圧と直流電源電圧との差が小さい場合は、直流・直流変換器CNV1、CNV2の出力電

圧E3、E4をE-4より増加させることにより、各スイッチング回路S1～S4のスイッチング周波数が均等化され、ひいてはスイッチング損失が均等化される。また、出力電圧と直流電源電圧との差が大きい場合は、直流・直流変換器CNV1、CNV2の出力電圧E3、E4をE-4より減少させることにより、スイッチング回路S1、S4のスイッチング損失の合計とスイッチング回路S2、S3のスイッチング損失の合計が均等化される。従って、スイッチング損失の偏重によるスイッチング素子の破壊を防止することができる。

【0006】

【発明が解決しようとする課題】しかしながら、特開平5-328731号公報のものは、変調電圧と直流電源電圧との差に応じて直流・直流変換器CNV1、CNV2の出力電圧E3、E4を中心として増減する構成であるので、直流・直流変換器CNV1、CNV2の構成が複雑でコストが高いという欠点がある。また、定常損失については何等改善されておらず、損失を十分に低減していない。

【0007】本発明は上記事情に鑑みてなされたもので、その目的は、簡単な構成で自己消弧形スイッチング素子の損失を確実に低減することができるマルチレベルスイッチング式電力変換器を提供することにある。

【0008】

【課題を解決するための手段】請求項1記載の発明によれば、上アーム及び下アームを構成するスイッチング素子のオンオフに応じて、上アームと下アームとの接続点からは特定電位間で変化する電位が出力される。

【0009】ここで、各アームを構成する複数のスイッチング素子のうち少なくとも1個のスイッチング素子は、同一アーム内の他のスイッチング素子とは異なる種類または異なる特性に設定されるので、各アーム内のスイッチング損失と定常損失との合計を小さくできる。

【0010】請求項2記載の発明によれば、上アームと下アームとの接続点に近いスイッチング素子になる程、オン電圧が小さく設定される。上アームと下アームとの接続点に近いスイッチング素子になる程、スイッチング回数が少なく、オン時間は長くなるので、上記構成により定常損失を低減できる。また、スイッチング損失に関しては、スイッチング回数が少ないので、さほど増加しない。結果、各アーム内のスイッチング損失と定常損失との合計を小さくできる。

【0011】請求項3記載の発明によれば、上アームと下アームとの接続点に近いスイッチング素子になる程、スイッチング速度が速く設定される。上アームと下アームとの接続点に近いスイッチング素子になる程、スイッチング回数が少なく、オン時間は長くなるので、上記構成によりスイッチング損失を低減できる。また、定常損失に関しては、オン時間が短いので、さほど増加しない。結果、各アーム内のスイッチング損失と定常損失との合

計を小さくできる。

【0012】請求項4記載の発明によれば、IGBTはライムタイム制御によりオン電圧を低く設定することができるので、各アームを構成する所定のIGBTのオン電圧を低くすることにより損失を低減することができる。

【0013】請求項5記載の発明によれば、MOSFETはユニポーラ素子でIGBTよりもスイッチング時間が短いことから、スイッチング損失を低減する素子として使用することができる。

【0014】請求項6記載の発明によれば、スイッチング素子の有効面積を大きくすることによりオン電圧を低く設定できるので、スイッチング素子のオン電圧を低くして損失を低減することができる。

【0015】請求項7記載の発明によれば、フリーホイールダイオードとしてMOSFETの内蔵（寄生）ダイオードを利用することができるので、全体を小形化することができる。

【0016】請求項8記載の発明によれば、複数のスイッチング素子の発熱量が互いに略等しくなるように設定されているので、スイッチング素子の配置効率を高めて装置の小形化を図ることができる。

【0017】

【発明の実施の形態】以下、本発明を単相の中性点クランプ式インバータ（レベル数3のマルチレベルスイッチングインバータ）に適用した概略構成を図1乃至図3を参照して説明する。

【0018】図1において、直流電源1には直列接続された同一キャハシティの第1、第2のコンデンサ2、3が並列接続されており、それらのコンデンサ2、3により直流電源1の直流電圧が分圧されることにより3レベルの電位（直流電圧の正電位+V、直流電圧の中間電圧である中性点電位0V、直流電圧の負電位-V）が生成されて各電位ラインL1、L2、L3から日々出力されている。

【0019】一方、電位ラインL1と電位ラインL3との間には自己消弧形の第1～第4のスイッチング素子S1～S4が直列接続されている。また、各スイッチング素子S1～S4の夫々には第1～第4のフライホイールダイオードD1～D4が逆並列接続されている。この場合、第1、第2のスイッチング素子S1、S2により上アーム1が形成され、第3、第4のスイッチング素子S3、S4により下アーム2が形成されている。また、上アーム1と下アーム2との接続点に出力端子6が接続されている。

【0020】ここで、コンデンサ2、3の接続点（中性点）は図示活性の第1のクランプ用ダイオードD5を介して第1、第2のスイッチング素子S1、S2の接続点に接続され且つ図示活性の第2のクランプ用ダイオードD6を介して第3、第4のスイッチング素子S3、S4

の接続点に接続されている。そして、出力端子もとコンデンサ2、3の接続点（中性点）との間に図示しない負荷が接続されている。

【0021】さて、本願発明者は、図1に示した中性点クランプ式インバータの各スイッチング素子S1～S4、及び各ダイオードD1～D6のスイッチング波形を分析し、各スイッチング素子S1～S4、各ダイオードD1～D6毎に最も損失が少なくなる条件を調べた。ここで、図2は、代表的条件における各スイッチング素子S1～S4、各ダイオードD1～D6のスイッチング波形を模式的に示している。

【0022】この図2（a）中の破線は図示しないインバータ装置に与えられる出力電圧指令を示し、実線は負荷に流れる電流を示し、ハルス波形は出力端子6に印加されるパルス電位を示している。また、同図（b）～（k）中の破線は各素子の端子間電圧を表すとし、実線はその通電電流を示している。

【0023】図3は、図2に示すような代表的動作条件において各スイッチング素子S1～S4、各ダイオードD1～D6を同一素子としたときの各スイッチング素子S1～S4、各ダイオードD1～D6の損失の計算結果を表すとし、

【0024】計算の結果、第1、第4のスイッチング素子S1、S4は第2、第3のスイッチング素子S2、S3に比較してスイッチング損失が大きいのに対し、第2、第3のスイッチング素子S2、S3は第1、第4のスイッチング素子S1、S4に比較して定常損失が大きいことが分った。このことより、第1、第4のスイッチング素子S1、S4としてスイッチング損失が小さいものを使用し、第2、第3のスイッチング素子として定常損失が小さなものを使用することが各アーム4、5の全損失を低減するのに有効であることが判る。

【0025】さて、図1乃至図9は、本発明の第1実施例を示すもので、第1～第4のスイッチング素子S1～S4として第1～第4のIGBT7～10を使用した具体例であり、第2、第3のIGBT8、9のオン電圧を第1、第4のIGBT7、10よりも低くなるように設定したことを特徴とする。尚、第1～第4のフリーホイールダイオードD1～D4は符号11～14に対応させて示し、第1、第2のクランプ用のダイオードD5、D6は符号15、16に対応させて示し、電位ラインL1～L3を符号101～103に対応させて示す。

【0026】ここで、第1～第4のスイッチング素子S1～S4としてIGBTを使用しているのは、MOSFETに代表されるユニホール素子は必要な耐圧と電流とによってオン電圧が決まってしまうのに対して、IGBTのオン電圧は電子線照射等の少数キャリアライフタイム制御により任意に選択することができるからである。この場合、図4に示すようにIGBT等のバイポーラ素子は少数キャリアを多く流すほどオン電圧を下げること

ができるものの、それに伴ってスイッチング速度が低下するというトレードオフ関係の特性を有している。

【0027】従って、第2、第3のIGBT8、9のオン電圧を第1、第4のIGBT7、10のオン電圧よりも低く設定した結果、第2、第3のIGBT8、9は第1、第4のIGBT7、10に比較してスイッチング速度が低下している。

【0028】ここで、図6は、第1～第4のIGBT7～10のスイッチング時間と各素子の全損失との関係を示している。この図6から、第1、第4のIGBT7、10としてはスイッチング時間0.2μs程度の高速形を採用し、第2、第3のIGBT8、9としてはスイッチング時間1.0μs程度の低損失形を採用することにより、全損失を極小化できることが分る。

【0029】次に上記構成の作用を、各IGBT7～10のスイッチングタイミングを示す図2を参照して説明する。

①出力電圧指令値（同図中（a）に破線で示す）が正の場合……図示しないインバータ制御装置は、出力端子6に正電位+Vと中性点電位0Vとの間で変位するハルス電位を出力するために所定のIGBTをオンオフする。

（図2にA及びDで示す期間）即ち、出力端子6に正電位+Vを出力するタイミングでは、第1、第2のIGBT7、8をオンし、出力端子6に中性点電位0Vを出力するタイミングでは、第2、第3のIGBT8、9をオンする。

【0030】この場合、図2にAで示す期間において第1、第2のIGBT7、8をオンしたタイミングでは、第1、第2のIGBT7、8を通じて負荷に電流が流れ（図7（a）参照）、第2、第3のIGBT8、9をオンしたタイミングでは、第1のクランプ用ダイオード15、第2のIGBT8を通じて負荷に電流が流れ（図8（a）参照）。

【0031】ところで、代表的な動作特性では、負荷に印加される電圧の位相と負荷に流れる電流の位相とが並んでいるので、出力電圧指令値が正の期間において負荷から電流が流れ込む期間がある（図2にDで示す期間）。

【0032】この場合、第1、第2のIGBT7、8がオンしたタイミングでは、第1、第2のフリーホールダイオード11、12を通じて負荷から電流が流れ込む（図7（b）参照）。また、第2、第3のIGBT8、9がオンしたタイミングでは、第3のIGBT9、第2のクランプ用ダイオード16を通じて負荷から電流が流れ込む（図8（b）参照）。

【0033】以上の動作により、出力電圧指令値が正の期間においては、出力端子6には正電位+Vと中性点電位0Vとの間で変位する電位が印加され、それに応じて負荷に電流が流れる。

【0034】②出力電圧指令が負の場合……図示しない

インバータ制御装置は、出力端子6に負電位-Vと中性点電位0Vとの間で変位するパルス電位を出力するためには所定のIGBTをオンオフする(図2にB及びCで示す期間)。即ち、出力端子6に負電位-Vを出力するタイミングでは、第3、第4のIGBT 9、10をオンし、出力端子6に中性点電位0Vを出力するタイミングでは、第2、第3のIGBT 8、9をオンする。

【0039】この場合、図2にCで示す期間において第3、第4のIGBT 8、9をオンしたタイミングでは、第3、第4のIGBTを通じて負荷から電流が流れ込み(図9(b)参照)、第2、第3のIGBT 8、9をオンしたタイミングでは、第3のIGBT 9、第2のクランプ用ダイオード16を通じて負荷から電流が流れ込む(図8(b)参照)。

【0036】ところで、代表的な動作特性では、負荷に印加される電圧の位相と負荷に流れる電流の位相とがずれているので、出力電圧指令値が負の期間において負荷に電流が流れる期間がある(図2にBで示す期間)。

【0037】この場合、第3、第4のIGBT 9、10がオンしたタイミングでは、第3、第4のフリーホイールダイオード13、14を通じて負荷に電流が流れ(図9(a)参照)。また、第2、第3のIGBT 8、9がオンしたタイミングでは、第1のクランプ用ダイオード15、第2のIGBT 8を通じて負荷に電流が流れ(図8(a)参照)。

【0038】以上の動作により、出力電圧指令値が負の期間においては、出力端子6には負電位-Vと中性点電位0Vとの間で変位する電位が印加され、それに応じて負荷に電流が流れ。

【0039】さて、本実施例では、第2、第3のIGBT 8、9として少数キャリアライフトイム制御によりオン電圧が第1、第4のIGBT 7、10よりも低くなるように設定したので、第2、第3のIGBT 8、9の定常損失を低下させることにより各アーム4、5の全損失を低下させることができる。この場合、図1に示すトレードオフ関係により第2、第3のIGBT 8、9のオン電圧の低下に伴って当該IGBT 8、9のスイッチング速度が低下するにしても、第2、第3のIGBT 8、9のスイッチング回数が少ないことから、第2、第3のIGBT 8、9のスイッチング速度の低下によるスイッチング損失の上昇にかかわらず上アーム4及び下アーム5の損失を低減することができる。

【0040】上記構成のものによれば、直列接続された第1～第4のIGBT 7～10を主体として構成された中性点クランプ式インバータにおいて、スイッチング回数が少ない第2、第3のIGBT 8、9を第1、第4のIGBT 7、10よりもオン電圧が低い特性に設定したので、第2、第3のIGBT 8、9の定常損失を低減することができる。従って、第1～第4のスイッチング素子として同一の素子を使用している従来例と違って、各

アーム4、5の損失を大幅に低減することができる。

【0041】図10乃至図14は本発明の第2実施例を示すもので、4レベルのマルチレベルインバータに適用した例を示している。即ち、直流電源21には直列接続された同一キャパシティの第1～第3のコンデンサ22～24が並列接続されており、これらのコンデンサ22～24により直流電源21の直流電圧が分圧されて4レベルの電位(直流電圧の正電位V4、直流電圧の中間電位V3、V2、直流電圧の負電位V1)が生成されて各電位ライン101～107から夫々出力されている。

【0042】電位ライン104と電位ライン107との間には第1～第6のIGBT 25～30が直列接続されている。また、第1～第6のIGBT 25～30には第1～第6のフライホイールダイオード31～36が夫々逆接続されている。この場合、第1～第3のIGBT 25～27により上アーム37が形成され、第4～第6のIGBT 28～30により下アーム38が形成されている。また、上アーム37と下アーム38との接続点に出力端子10が接続されている。

【0043】ここで、電位ライン101は第1のIGBT 25のコレクタに接続され、第1、第2のコンデンサ22、23の接続点は図示極性の第1のクランプ用ダイオード10を介して第2のIGBT 26のコレクタに接続され且つ図示極性の第3のクランプ用ダイオード42を介して第4のIGBT 28のエミッタに接続され、第2、第3のコンデンサ23、24の接続点は図示極性の第2のクランプ用ダイオード41を介して第3のIGBT 27のコレクタに接続され且つ図示極性の第4のクランプ用ダイオード13を介して第6のIGBT 30のコレクタに接続され、そして電位ライン107は第6のIGBT 30のエミッタに接続されている。

【0044】この第2実施例においても第1実施例と同様に各スイッチング素子の全損失が極小となるように特性がライフトイム制御されており、第1、第6のIGBT 25、30としてスイッチング速度が速い高速形のものを使用し、第3、第4のIGBT 27、28としてオン電圧が低い低損失形のものを使用した。

【0045】さて、図示しないインバータ制御装置は、所定のIGBTをオンオフすることにより、V1とV3との間で変位するパルス電位、V3とV2との間で変位するパルス電位、V2とV1との間で変位するパルス電位を出力端子39に出力するものである。

【0046】①出力端子に電圧V4を出力する場合……第1～第3のIGBT 25～27をオンする。この場合、負荷に印加される電圧の位相と電流の位相とのずれに応じて、第1～第3のIGBT 25～27を通じて負荷に電流が流れれる状態と(図11(a)参照)、第1～第3のフライホイールダイオード31～33を通じて負荷から電流が流れ込む状態とを生じる(同図(b)参照)。

【0017】②出力端子に電圧V3を出力する場合……第2～第4のIGBT 26～28をオンする。この場合、負荷に印加される電圧の位相と電流の位相とのずれに応じて、第1のクランプ用ダイオード29、第2、第3のIGBT 26、28を通じて負荷に電流が流れる状態と(図12(a)参照)、第4のIGBT 28、第3のクランプ用ダイオード12を通じて負荷から電流が流れ込む状態とを生じる(同図(b)参照)。

【0018】③出力端子に電圧V2を出力する場合……第3～第5のIGBT 27～29をオンする。この場合、負荷に印加される電圧の位相と電流の位相とのずれに応じて、第2のクランプ用ダイオード、第3のIGBTを通じて負荷に電流が流れる状態と(図13(a)参照)、第1、第5のIGBT 28、29、第1のクランプ用ダイオード43を通じて負荷から電流が流れ込む状態とを生じる(同図(b)参照)。

【0019】④出力端子に電圧V1を出力する場合……第4～第6のIGBT 28～30をオンする。この場合、負荷に印加される電圧の位相と電流の位相とのずれに応じて、第1～第6のフライホイールダイオード31～36を通じて負荷に電流が流れる状態と(図14(a)参照)、第1～第6のIGBT 28～30を通じて負荷から電流が流れ込む状態とを生じる(同図(b)参照)。

【0020】この第2実施例によれば、他に比較してスイッチング損失の大きな第1、第6のIGBT 25、30として高速形のものを使用し、他に比較して定常損失の大きな第3、第4のIGBT 27、28としてオン電圧が低いものを使用したので、各アーム37、38の全損失を低減することができる。

【0021】図15～図20は本発明の第3実施例を示すもので、5レベルインバータに適用した例を示している。即ち、直流電源51には直列接続された同一キャッシュティの第1～第4のコンデンサ52～54が並列接続されており、それらのコンデンサ52～54により直流電源51の直流電圧が分圧されて5レベルの電位(直流電圧の正電位V5、直流電圧の中間電位V4、V3、V2、直流電圧の負電位V1)が生成されて各電位ラインは108～112から夫々出力されている。

【0022】電位ライン108と電位ライン112との間には第1～第8のIGBT 56～63が直列接続されている。また、第1～第8のIGBT 56～63には第1～第8のフライホイールダイオード64～71が夫々逆接続されている。この場合、第1～第4のIGBT 56～59により上アーム72が形成され、第5～第8のIGBT 60～63により下アーム73が形成されている。また、上アーム72と下アーム73との接続点に出力端子74が接続されている。

【0023】ここで、電位ライン108は第1のIGBT 56のコレクタに接続され、第1、第2のコンデンサ

52、53の接続点は図示極性の第1のクランプ用ダイオード74を介して第2のIGBT 57のコレクタに接続され且つ図示極性の第1のクランプ用ダイオード78を介して第6のIGBT 61のコレクタに接続され、第2、第3のコンデンサ53、54の接続点は図示極性の第2のクランプ用ダイオード76を介して第3のIGBT 58のコレクタに接続され且つ図示極性の第3のクランプ用ダイオード77を介して第4のIGBT 59のコレクタに接続され且つ図示極性の第6のクランプ用ダイオード80を介して第8のIGBT 63のコレクタに接続され、そして、電位ライン112は第8のIGBT 63のエミッタに接続されている。

【0024】この第3実施例においても第1実施例と同様に各スイッチング素子の全損失が極小となるように出力端子74に遠いスイッチング素子程高速形とし、出力端子74に近いスイッチング素子程オン電圧が低い低損失形のものとを使用した。

【0025】さて、図示しないインバータ制御装置は、所定のIGBTをオンオフすることにより、V5とV1との間で変位するハルス電位(図16、17参照)、V4とV3と間で変位するパルス電位(図17、18参照)、V3とV2との間で変位するパルス電位(図18、19参照)、V2とV1との間で変位するハルス電位(図19、20参照)を出力端子74に出力するようになっている。尚、説明の簡略化のために詳細な動作の説明は省略する。

【0026】この第3実施例によれば、各アーム62、63において、出力端子74に遠いスイッチング素子程高速形とし、出力端子74に近いスイッチング素子程オン電圧が低い低損失形のものとを使用したので、各アーム62、63の損失を低減することができる。

【0027】図21は本発明の第1実施例を示しており、第1実施例と同一部分には同一符号を付して説明を省略する。この第4実施例は、第1、第4のスイッチング素子S1、S4としてMOSFETを用いたことに特徴を有する。即ち、第1のアーム1はMOSFET S1とIGBT 81とを直列接続して構成され、第2のアーム4はIGBT 9とMOSFET 82とを直列接続して構成されている。

【0028】この第4実施例の場合、MOSFET 81、82はユニポーラ素子であることから、IGBT 81、9よりもスイッチング時間が短いので、スイッチング回数が大きなスイッチング素子としてMOSFETを使用してスイッチング損失を低減することにより各アーム1、4の全損失を低減することができる。

【0029】本発明は、上記実施例にのみ限定されるものではなく、次のように変形または拡張できる。スイ-

チング素子の有効面積を他のスイッチング素子よりも大きくすることによりオン電圧を低く設定するようにしてよい。スイッチング素子としてMOSFETを用いた場合、フリーホールダイオードとしてMOSFETの内蔵（寄生）ダイオードを利用するようにしてよい。この場合、MOSFETにフライホールダイオードを接続する必要がないので、全体構成を小形化することができる。

【0060】スイッチング素子の発熱量が略等しくなるようにその特性或いは種類を設定するようにしてよい。この場合、各スイッチング素子の発熱量を均一化することができるので、自己消弧素子の配置効率を高めて装置の小形化を図ることができる。

【0061】複数の直流電源を直列接続し、その共通接続点から所定の電位をスイッチング素子にクランプ用ダイオードを介して印加するようにしてよい。本発明を電気自動車用インバータ、汎用インバータ、無停電電源、ACサーボコントローラに適用してもよい。

【図面の簡単な説明】

【図1】本発明の構成を概略的に示す電気回路図

【図2】出力電圧及び各素子の端子間電圧を示すタイミングチャート

【図3】各素子と損失との関係を示す図

【図4】本発明の第1実施例を示す図1相当図

【図5】スイッチング時間とオン電圧との関係を示す図

【図6】スイッチング時間と各素子の全損失との関係を示す図

【図7】負荷に正電位を印加した状態での通電状態を示す図1相当図

【図8】負荷に0Vを印加した状態での通電状態を示す図4相当図

【図9】負荷に負電位を印加した状態での通電状態を示す図1相当図

【図10】本発明の第2実施例を示す図4相当図

【図11】負荷に所定電位を印加した状態での通電状態を示す図10相当図

【図12】負荷に異なる所定電位を印加した状態での通電状態を示す図10相当図

【図13】負荷に異なる所定電位を印加した状態での通電状態を示す図10相当図

【図14】負荷に異なる所定電位を印加した状態での通電状態を示す図10相当図

【図15】本発明の第3実施例を示す図4相当図

【図16】負荷に所定電位を印加した状態での通電状態を示す図15相当図

【図17】負荷に異なる所定電位を印加した状態での通電状態を示す図15相当図

【図18】負荷に異なる所定電位を印加した状態での通電状態を示す図15相当図

【図19】負荷に異なる所定電位を印加した状態での通電状態を示す図15相当図

【図20】負荷に異なる所定電位を印加した状態での通電状態を示す図15相当図

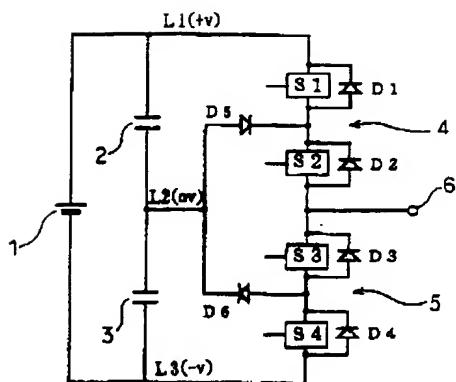
【図21】本発明の第4実施例を示す図1相当図

【図22】従来例を示す図1相当図

【符号の説明】

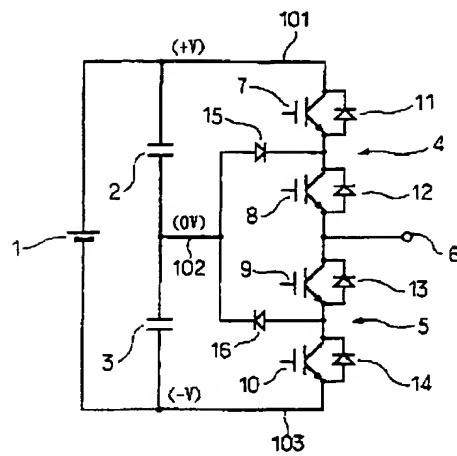
1は直流電源、2、3はコンデンサ、4は上アーム、5は下アーム、6は出力端子、7～10はIGBT（自己消弧形スイッチング素子）、11～14はフリーホールダイオード、21は直流電源、22～24はコンデンサ、25～30はIGBT（自己消弧形スイッチング素子）、31～36はフリーホールダイオード、37は上アーム、38は下アーム、39は出力端子、40～43はクランプ用ダイオード、51は直流電源、52～55はコンデンサ、56～63はIGBT（自己消弧形スイッチング素子）、64～71はフリーホールダイオード、72は上アーム、73は下アーム、74は出力端子、75～80はクランプ用ダイオード、81、82はMOSFET（自己消弧形スイッチング素子）、101～112は電位ラインである。

【図1】



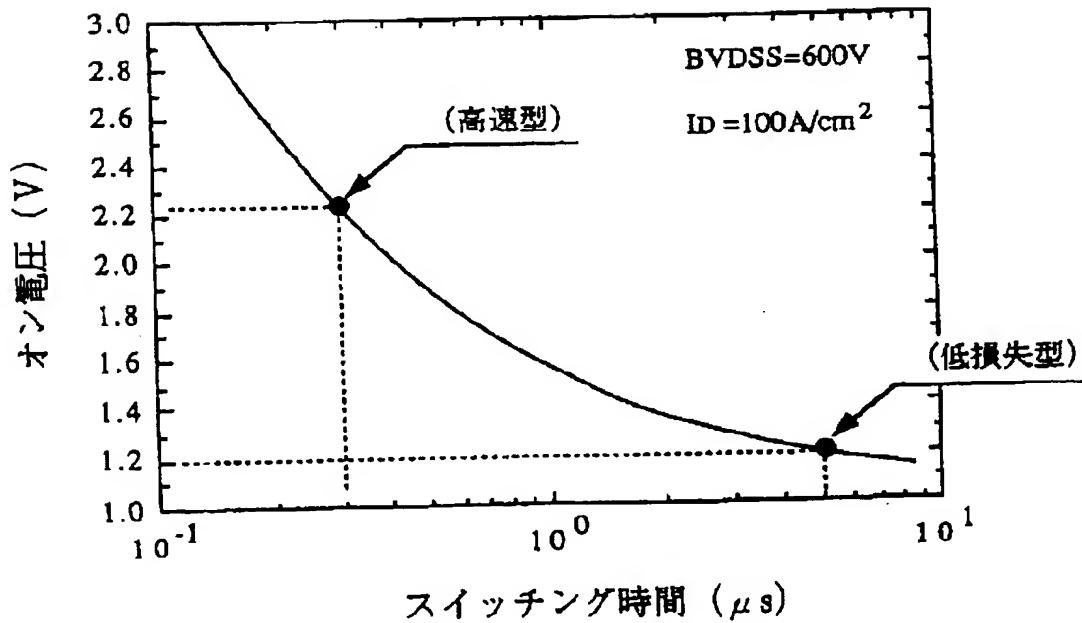
L1-L3 : 電位ライン
 S1~S4 : 自己発振形スイッチング素子
 D1~D4 : フリー・ホイールダイオード
 D5, D6 : クランプ用ダイオード
 4 : 上アーム
 5 : 下アーム
 6 : 出力端子

【図4】

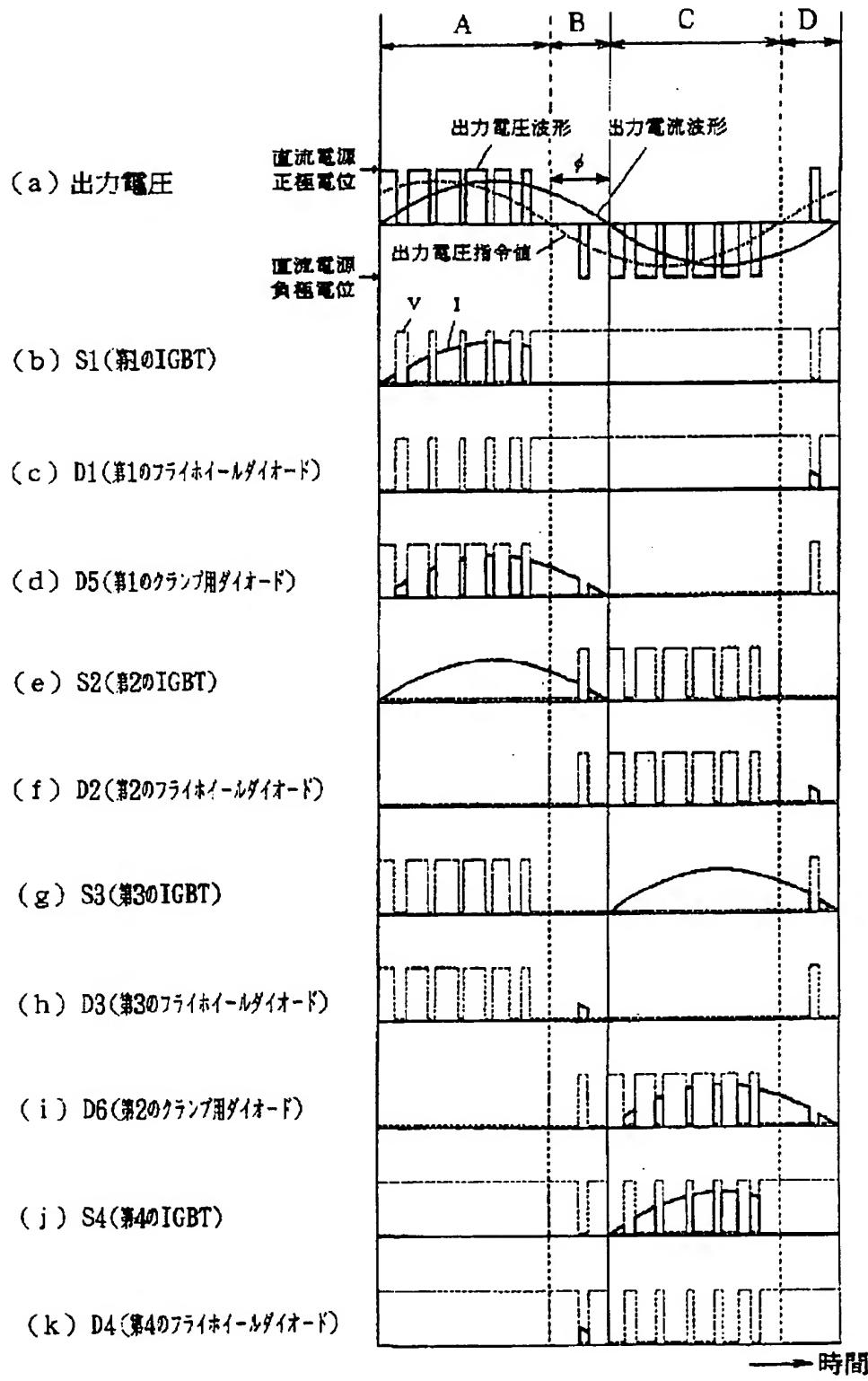


4 : 上アーム
 5 : 下アーム
 6 : 出力端子
 7, 10 : 高速型 IGBT
 8, 9 : 低損失型 IGBT
 11~14 : フリー・ホイールダイオード
 15, 16 : クランプ用ダイオード
 101-103 : 電位ライン

【図5】



【図2】

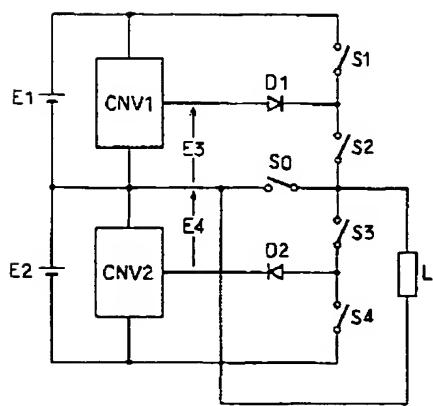


【図3】

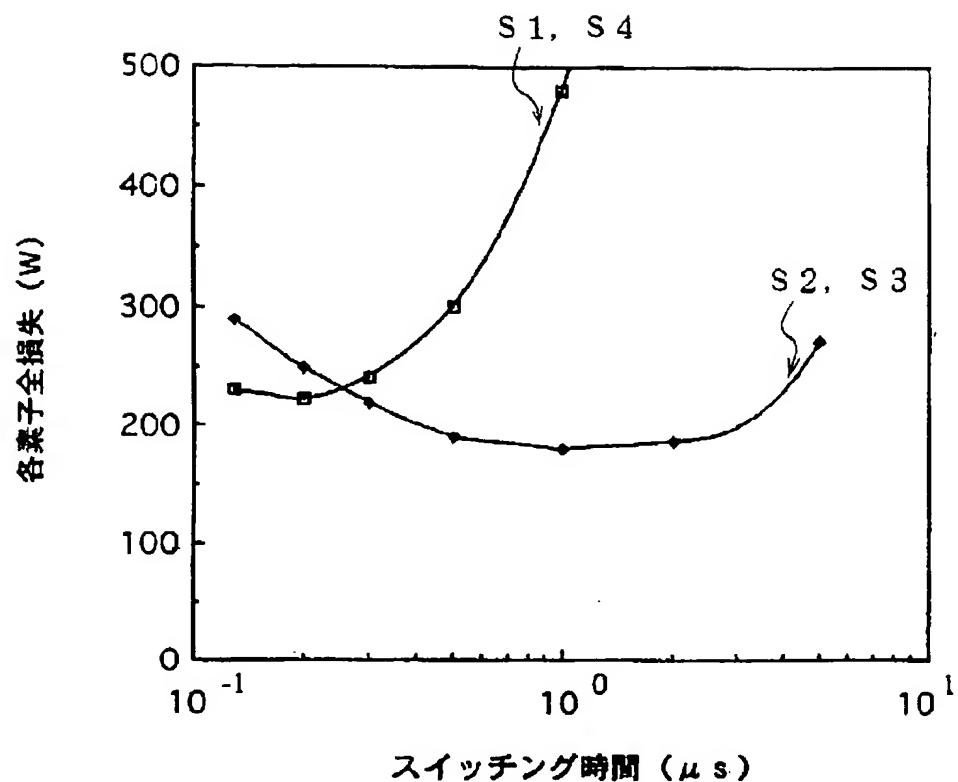
	定常損失	スイッチング損失	計
S 1, S 4	125W	60W	185W
S 2, S 3	196W	5W	201W
D 2, D 3	2W	0W	2W
D 1, D 4	2W	0W	2W
D 5, D 6	103W	1W	104W
計	428W	66W	494W

各素子損失計算条件 直列電圧Vcc=288V, 直列電流Io=200A, 並列電流cosθ=0.85, 電圧降下=0.9, 電源周波数fc=15kHz
 S 1 ~ S 4 : $V_{ce}(V)=1.2+0.9/200 \times I_c(A)$
 D 1 ~ D 6 : $V_f(V)=1.6+1.3/200 \times I_f(A)$

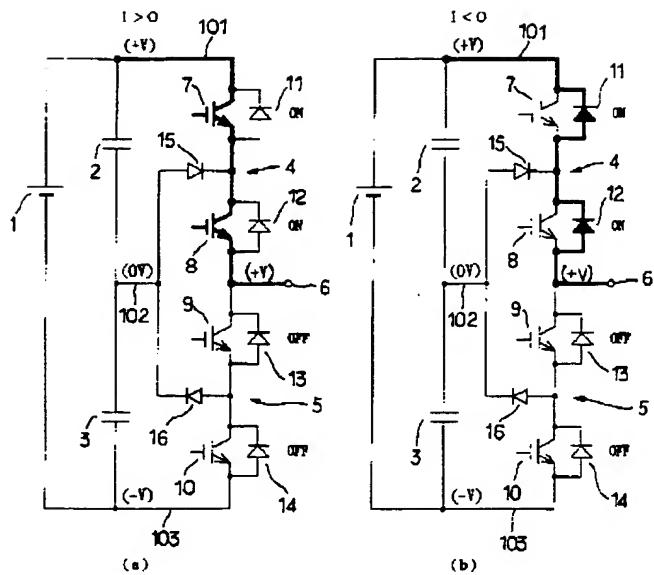
【図22】



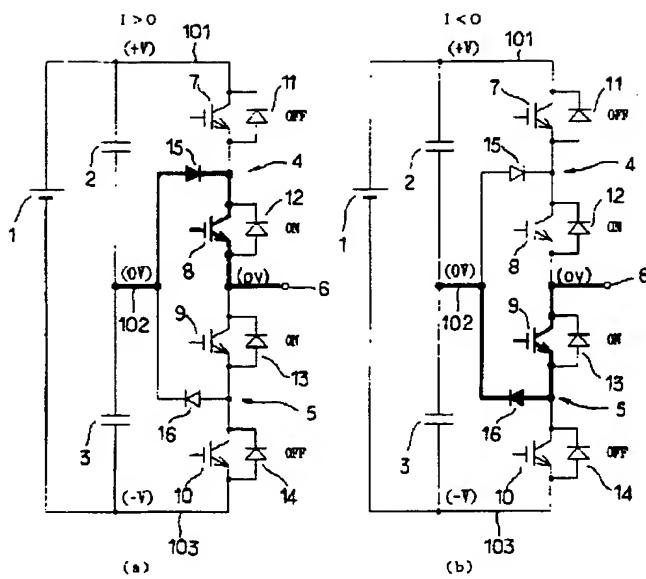
【図6】



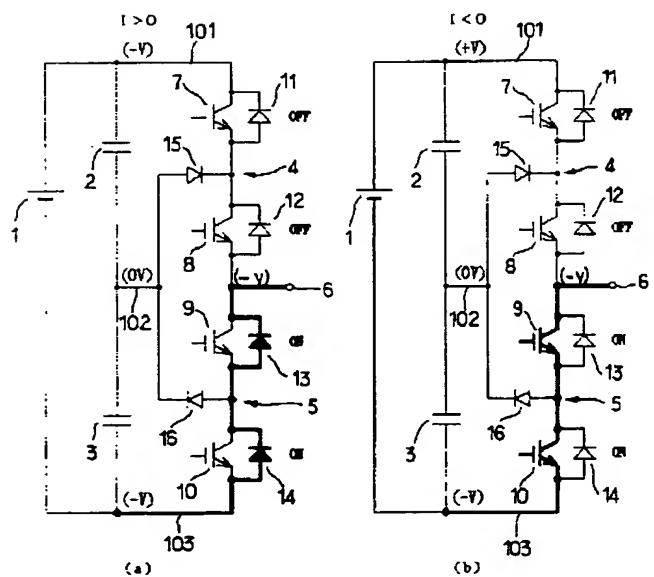
【図7】



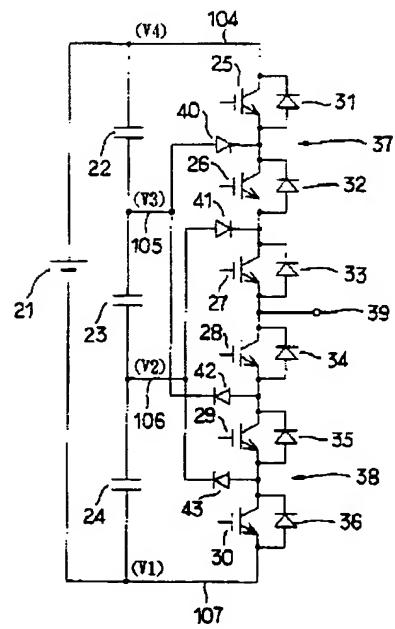
【図8】



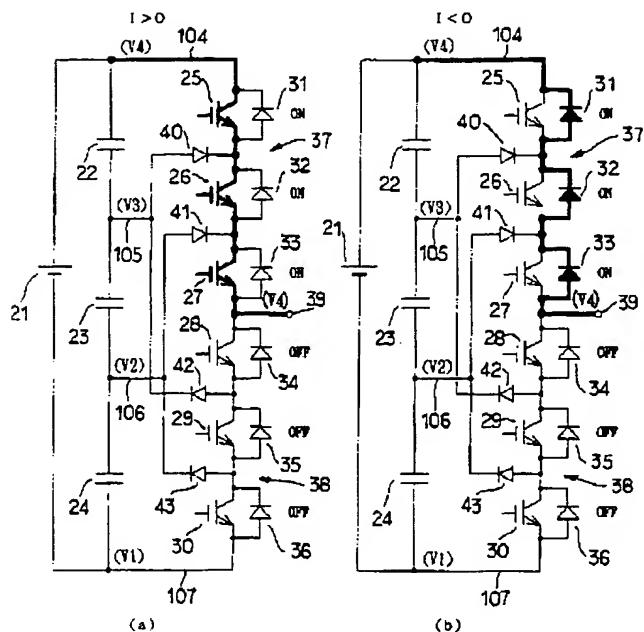
【図9】



【図10】



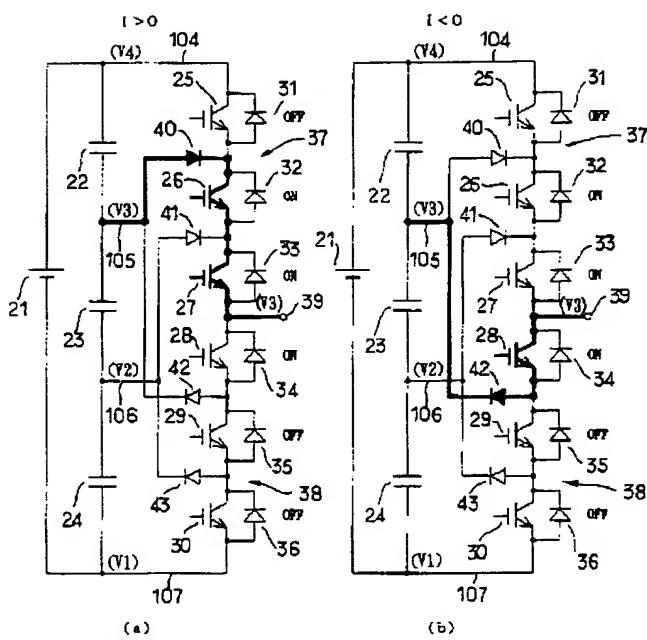
【図11】



(b)

(a)

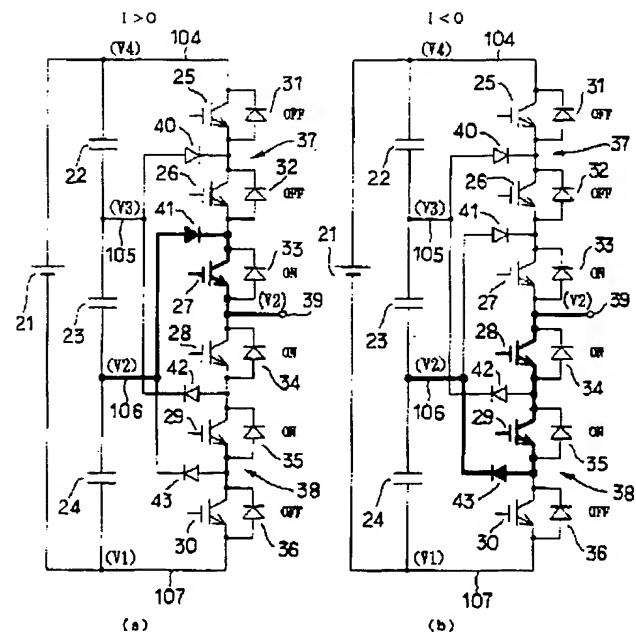
【図12】



(b)

(a)

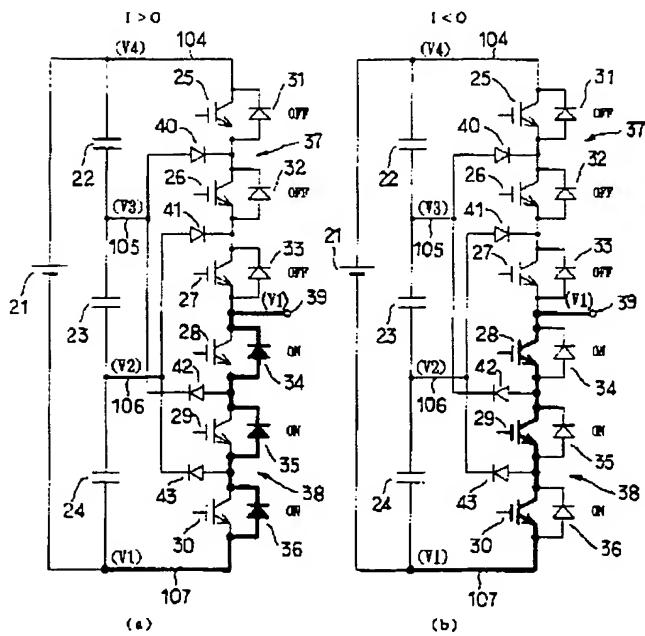
【図13】



(b)

(a)

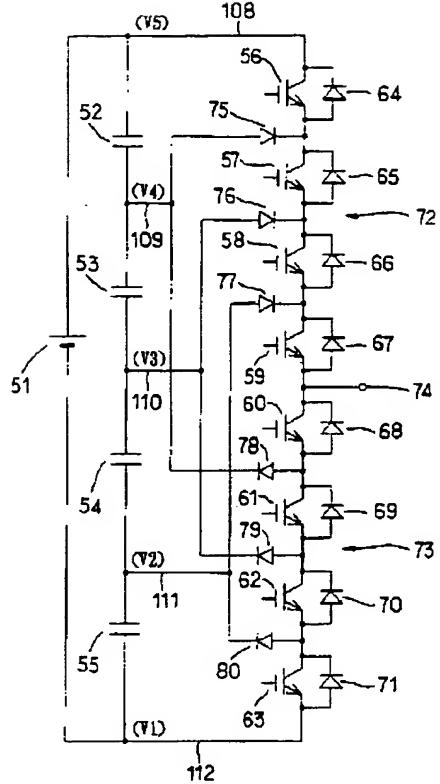
【図14】



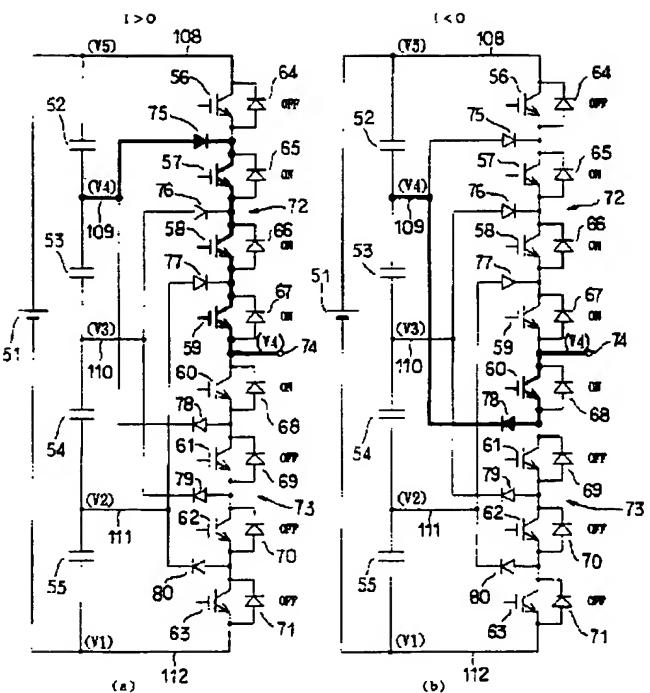
(b)

(a)

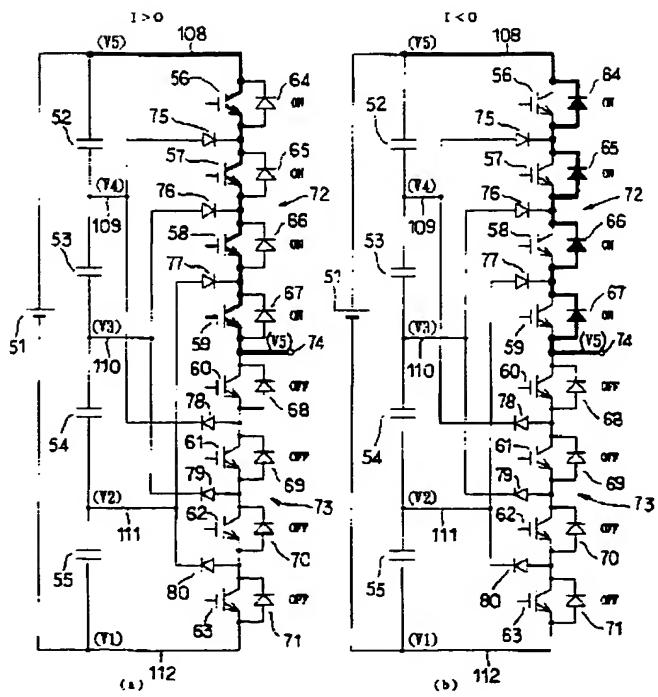
【図15】



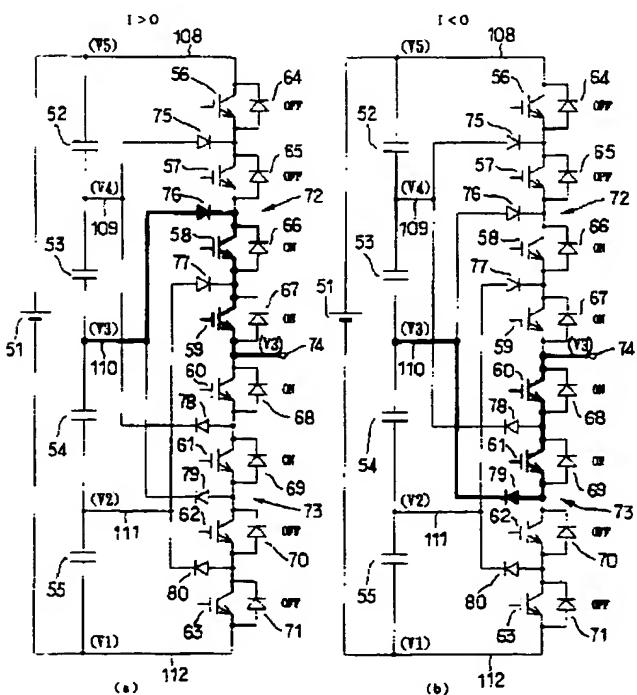
【図17】



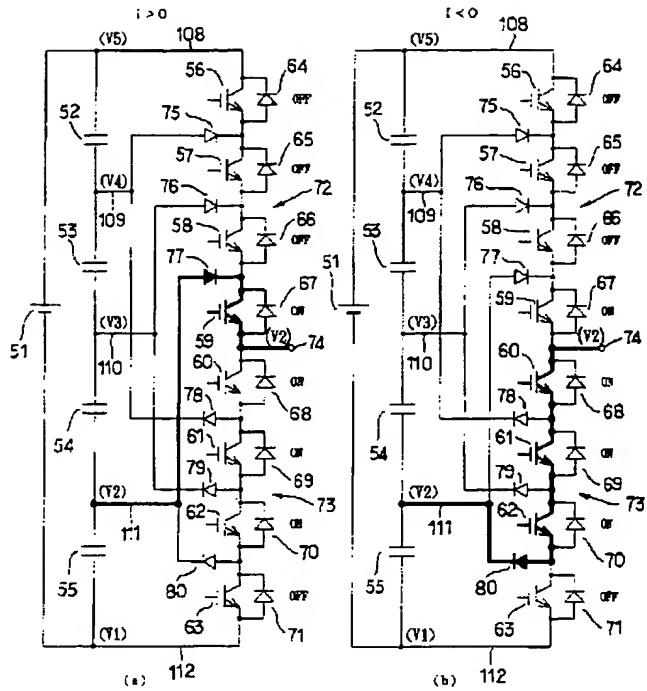
【図16】



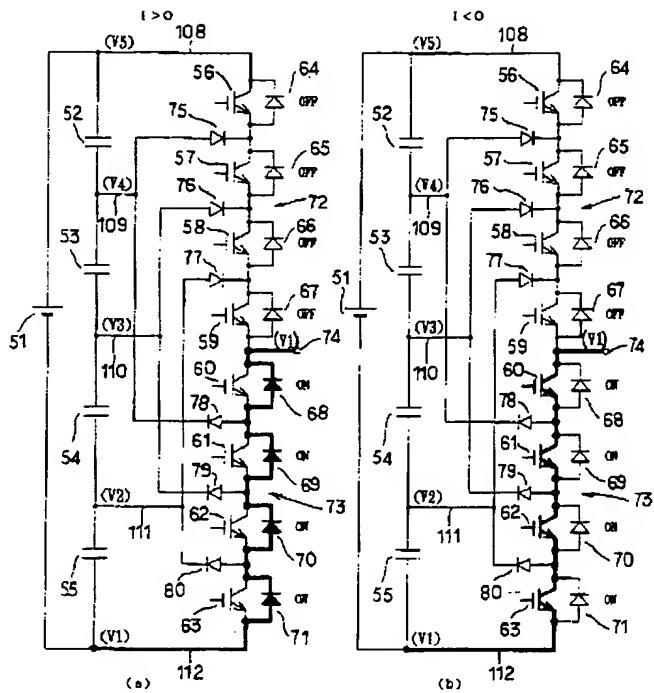
【図18】



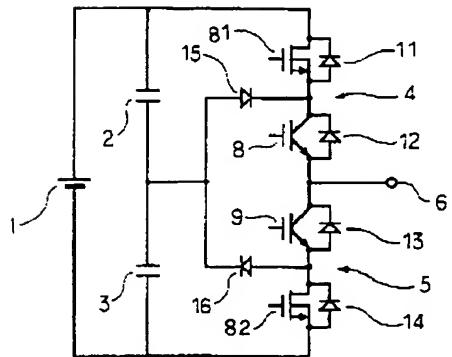
【図19】



【図20】



【図21】



THIS PAGE BLANK (USPTO)